

УДК [681.518.5+656.25]:004.052.32

**Вал. В. Сапожников, д-р техн. наук,
Вл. В. Сапожников, д-р техн. наук,
Д. В. Ефанов, канд. техн. наук**

Кафедра «Автоматика и телемеханика на железных дорогах»,
Петербургский государственный университет путей сообщения
Императора Александра I

ПРИМЕНЕНИЕ КОДОВ С СУММИРОВАНИЕМ ПРИ СИНТЕЗЕ СИСТЕМ ЖЕЛЕЗНОДОРОЖНОЙ АВТОМАТИКИ И ТЕЛЕМЕХАНИКИ НА ПРОГРАММИРУЕМЫХ ЛОГИЧЕСКИХ ИНТЕГРАЛЬНЫХ СХЕМАХ

Для построения современных систем железнодорожной автоматики и телемеханики все чаще используется микроэлектронная и микропроцессорная техника, в том числе программируемые логические интегральные схемы (*FPGA*). В данной работе описывается подход к построению отказоустойчивых систем автоматики со встроенными средствами функционального контроля. Систему функционального контроля предлагается организовывать на базе кодов с суммированием единичных информационных разрядов. В статье приводятся свойства кодов с суммированием единичных информационных разрядов по обнаружению различных видов ошибок на выходах арифметико-логических устройств *FPGA*.

железнодорожная автоматика и телемеханика; надежность; безопасность; система функционального контроля; коды с суммированием; код Бергера; модифицированный код Бергера; информационные разряды; необнаруживаемая ошибка

Введение

С развитием микроэлектронной и микропроцессорной техники совершенствуются и системы железнодорожной автоматики и телемеханики (СЖАТ). Происходит постепенный переход к использованию компьютерных технологий и повышение уровня автоматизации процесса управления движением поездов, взамен традиционных релейных систем автоматики внедряются более современные микропроцессорные СЖАТ, обладающие расширенным функционалом и высоким уровнем надежности и безопасности [1–6].

По данным [7], на железных дорогах России эксплуатируется 5033 станций, среди которых 4216 станций (118 128 стрелок) оборудованы релейной электрической централизацией (ЭЦ) разных видов, 304 станции (8438 стрелки) оборудованы микропроцессорной и 105 станций (2898 стрелок) – релейно-процессорной централизацией также разных видов. Доля микропроцессорной централизации от общего числа ЭЦ составляет немногим более 6%. Однако внедрение ком-

пьютерных технологий в процесс управления на железнодорожном транспорте идет стремительными темпами (рис. 1). В 2013 г. микропроцессорной централизацией было оборудовано 37 станций (1226 стрелок), что составляет 12,17% от общего числа установок микропроцессорных централизаций. В среднем в год на железных дорогах России современными системами оборудуется около 22 станций (более 600 стрелок). По схожей тенденции идет и развитие микропроцессорных систем автоблокировки (рис. 2).

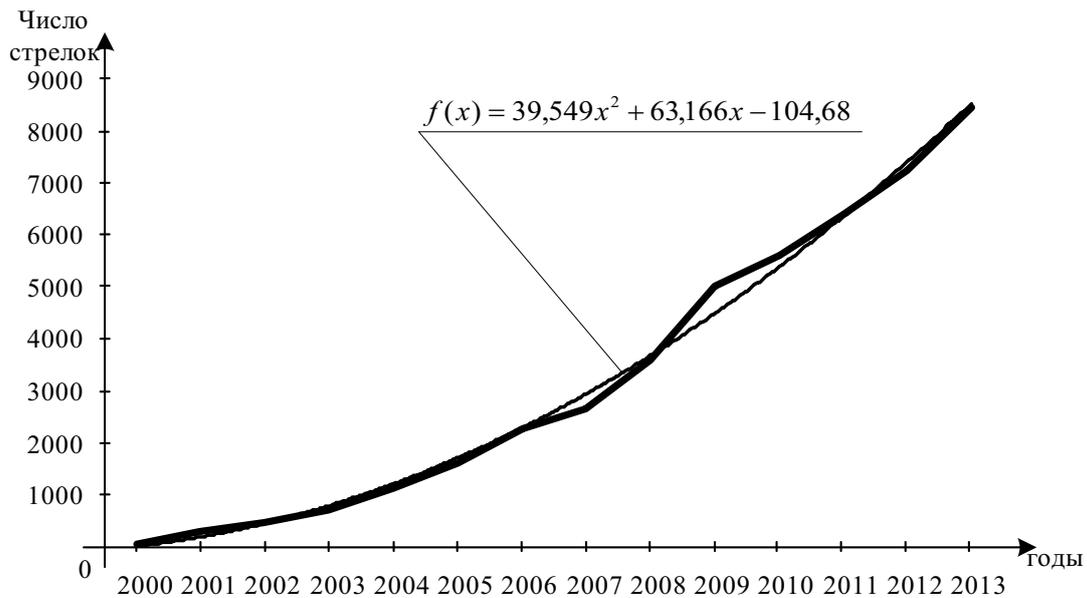


Рис. 1. Динамика внедрения микропроцессорной централизации на железных дорогах России

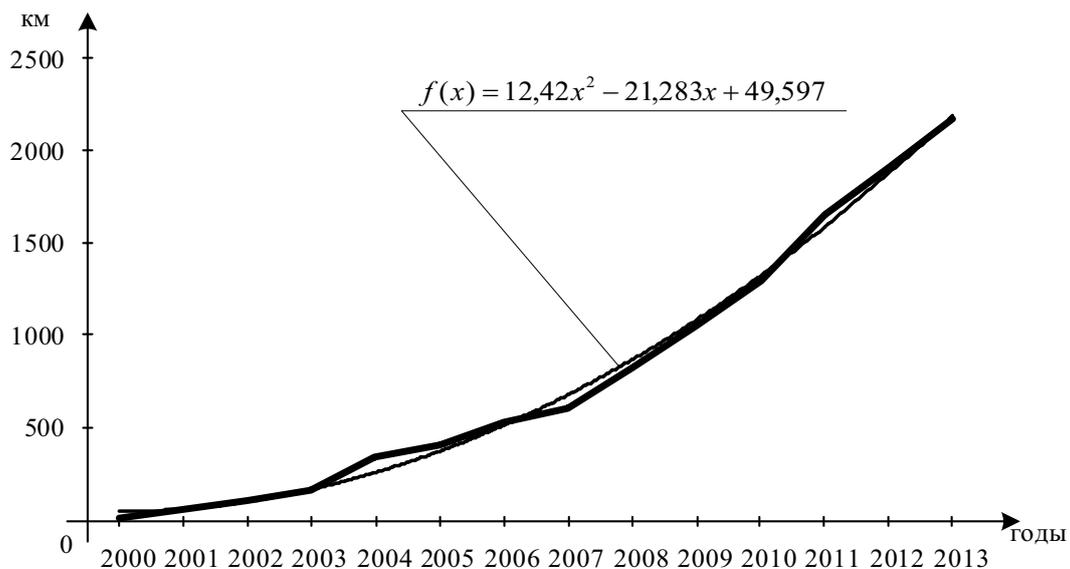


Рис. 2. Динамика внедрения микропроцессорной автоблокировки на железных дорогах России

По графикам на рис. 1 и рис. 2 можно определить тенденции развития микропроцессорных систем автоблокировки и электрической централизации. На каждом графике указаны аппроксимированные полиномами второго порядка кривые. По ним можно прогнозировать развитие компьютеризации в области железнодорожной автоматики и телемеханики в ближайшие годы.

Отметим, что модернизация элементной базы СЖАТ, преимущественно касающаяся микроэлектронной и микропроцессорной техники, помимо достоинств имеет и некоторые недостатки. Основной из них – необходимость обеспечения надежности и безопасности функционирования. При построении релейных СЖАТ эти задачи решаются за счет использования реле I класса надежности в ответственных цепях управления [8]. Для микроэлектронных и микропроцессорных СЖАТ необходимо применять методы резервирования и технического диагностирования как на аппаратном, так и на программном уровнях [9–11]. В различных СЖАТ эти способы используются в разных сочетаниях [3, 4].

Одним из перспективных направлений в выборе элементной базы является использование программируемых логических интегральных схем, или *FPGA* (*Field-Programmable Gate Array*) [12–15]. *FPGA* решают самые разнообразные задачи автоматики во многих областях науки и техники – как в авиаприборостроении, в промышленности, так и на транспорте. Большое количество работ посвящено вопросам построения систем управления движением поездов на базе технологии *FPGA* [16–25]. Целью данной работы является освещение вопросов построения безопасных СЖАТ на базе *FPGA* с применением встроенных средств функционального контроля. Системы функционального контроля логических устройств предлагается строить с использованием свойств кодов с суммированием единичных информационных разрядов. Описываются особенности кодов с суммированием, а также их возможности в задачах построения логических устройств автоматики и вычислительной техники со 100%-м обнаружением одиночных неисправностей.

1 Блок управления и контроля с системой встроенного диагностирования

В [15] описана технология построения надежных устройств автоматики на базе *FPGA*, указывается место функционального контроля в подобных задачах, а также приводится практический пример приложения исследований в СЖАТ. Остановимся на рассмотрении технологии построения систем ЭЦ на базе *FPGA*.

Одной из распространенных систем ЭЦ на железных дорогах России является блочная маршрутно-релейная централизация (БМРЦ), в которой подавляющее большинство оборудования включено в типовые функциональные блоки

[1, 4]. На рис. 3 для примера приводится фрагмент путевого развития некоторой станции, а также расстановка блоков БМРЦ по соответствующему фрагменту путевого развития [3].

Как следует из рисунка, система ЭЦ строится по географическому принципу путем соединения между собой типовых функциональных блоков. Каждый блок выполняет определенную функцию, связанную с работой того или иного элемента СЖАТ.

Принцип построения БМРЦ может быть применен к технологии *FPGA*, когда функции каждого блока будут выполнять аналогичный модуль на программируемой логике. При этом возникает центральная задача в построении модулей – обеспечение их надежной и безопасной работы.

При построении каждого блока целесообразно применять метод дублирования аппаратных средств в соответствии со структурой, изображенной на рис. 4. Здесь для построения использованы два модуля *FPGA*, реализующие одинаковые функции и осуществляющие сравнение вычисляемых результатов в процессе работы. Фактически реализован принцип контроля с сильными связями [3].

Для исключения влияния одиночных неисправностей на оба комплекта в составе резервированной системы применяются два различных физических модуля *FPGA*. Это позволяет значительно увеличить показатели надежности функционирования реализуемого блока [15].

Далее рассмотрим вопрос организации встроенного контроля логических устройств в модулях *FPGA* с использованием новых кодов с суммированием. Определим, за счет чего можно уменьшить избыточность логических схем, и соответственно ряд показателей, таких, например, как тестопригодность и энергопотребление.

2 Применение кодов с суммированием единичных разрядов для организации контроля логических устройств

Одним из эффективных подходов к построению надежных систем управления является организация функционального контроля логических устройств автоматики и вычислительной техники (рис. 5) [26–31]. Часто для этих целей используются коды с суммированием единичных информационных разрядов [32], или (m, k) -коды, где m – длина информационного вектора, а k – длина контрольного вектора.

В системе функционального контроля блок основной логики, имеющий m выходов, с целью проверки правильности вычислений в процессе работы снабжается блоком контрольной логики, имеющим k выходов. Между значениями выходов обоих блоков на этапе проектирования устанавливается однозначное соответствие по правилам (m, k) -кода, контролируемое самопроверяемым тестером (СПТ) [33, 34].

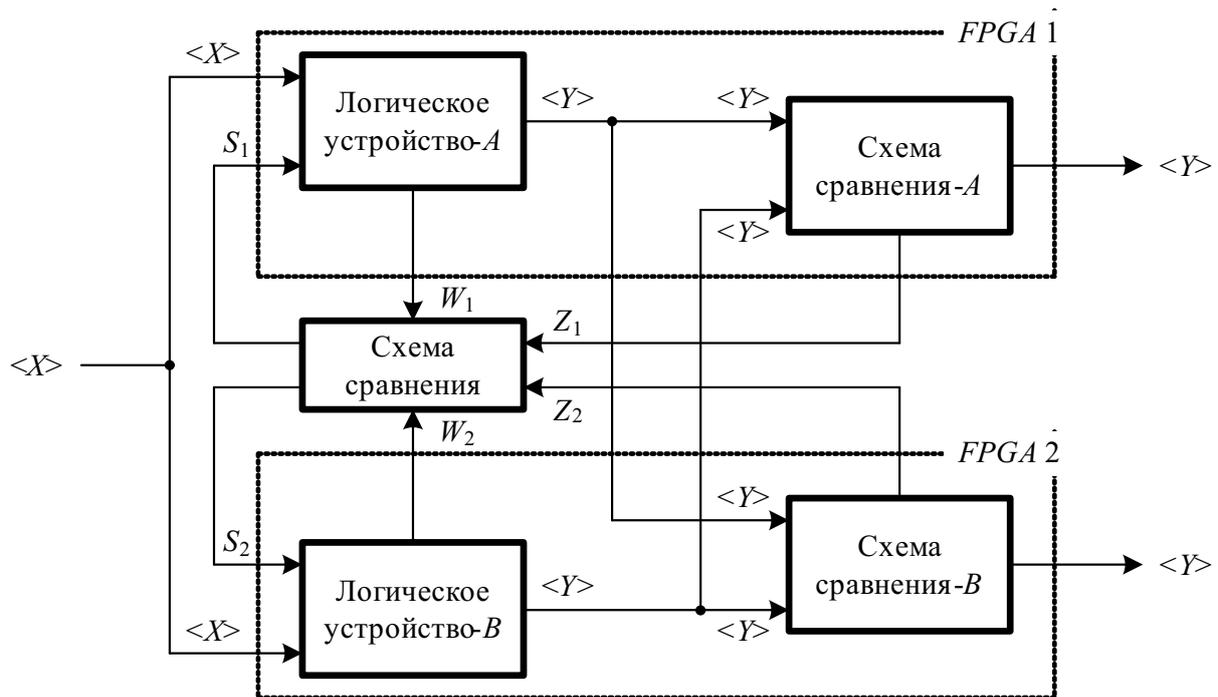


Рис. 4. Архитектура блока управления и контроля на базе FPGA

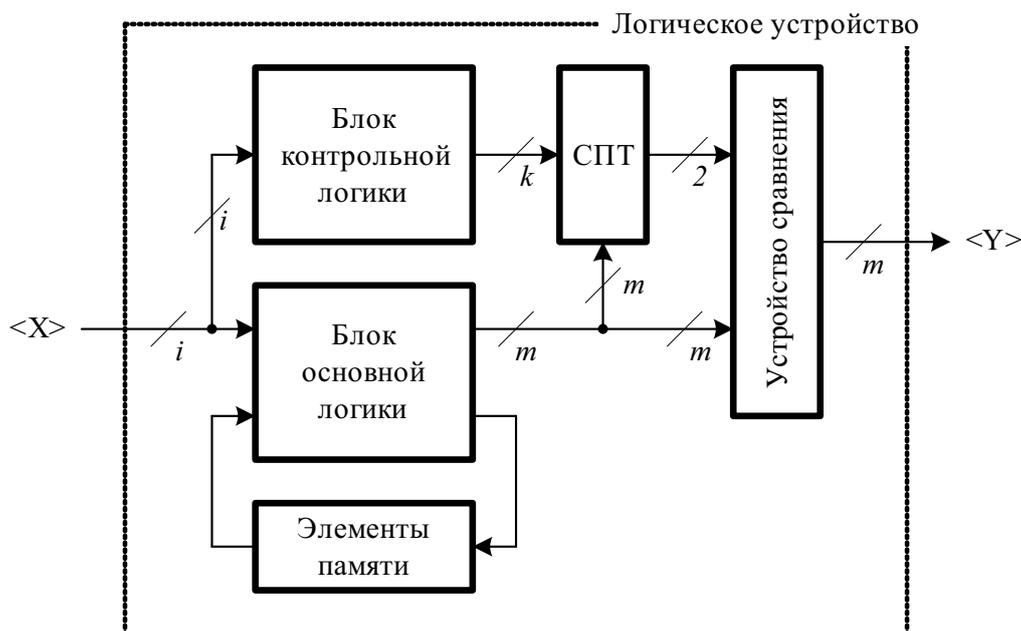


Рис. 5. Структура логического устройства со встроенной схемой контроля

Важной задачей при построении надежной системы автоматики является обеспечение 100%-го обнаружения одиночных неисправностей в контролируемых устройствах. Ее можно решить несколькими способами.

Первый способ заключается в реализации системы дублирования, в которой в качестве блока контрольной логики $g(x)$ устанавливается второй экземпляр блока $f(x)$.

Второй способ предусматривает выделение на множестве выходов контролируемого устройства $f(x)$ групп независимых и монотонно-независимых групп (Н- и МН-групп). В Н-группу объединяют те выходы, для которых возникновение любой одиночной неисправности в структуре логического устройства вызывает ошибку* только на одном из них. В МН-группу объединяют те выходы логического устройства, для которых любая одиночная неисправность вызывает монотонную ошибку [33]. Для организации контроля работы логического устройства с Н- и МН-группами осуществляют построение систем функционального контроля каждой выделенной группы. При этом контроль Н-групп выходов организуется с использованием кода паритета, а МН-групп – с использованием кода Бергера. Тестеры, входящие в отдельные системы функционального контроля, объединяются с целью получения одного контрольного парафазного выхода. Такой подход к построению логических устройств со 100%-м обнаружением одиночных неисправностей дает выигрыш в аппаратной избыточности в сравнении с методом дублирования.

Усовершенствованным вариантом второго способа является способ преобразования структуры блока $f(x)$ в некоторую контролепригодную структуру, что достигается путем резервирования некоторого количества внутренних логических элементов. Возможно преобразование структуры блока $f(x)$, при котором все выходы образуют Н-группу. В этом случае требуется многократное резервирование тех элементов, выходы которых связаны с несколькими выходами блока $f(x)$. По этой причине в схему вносится большое число избыточных элементов. Существенно меньшая избыточность получается при преобразовании исходной структуры блока $f(x)$ в структуру, в которой все выходы образуют одну МН-группу. Задача решается с использованием кода Бергера [35–39].

Контрольные векторы кода Бергера, или $S(m, k)$ -кода, содержат двоичное число, отражающее сумму единичных разрядов в информационных векторах (двоичное число, равное весу r информационного вектора). Длина контрольного вектора у $S(m, k)$ -кода определяется выражением $k = \lceil \log_2(m+1) \rceil$ (запись $\lceil b \rceil$ обозначает целое сверху от b). $S(m, k)$ -коды обнаруживают любые *монотонные ошибки* разрядов информационных векторов (искажения только нулевых или только единичных разрядов), так как при этом нарушается значение веса информационного вектора [40]. К необнаруживаемым ошибкам в информационных векторах $S(m, k)$ -кода относятся так называемые *симметричные ошибки* – разнонаправленные ошибки четной кратности, содержащие равное количество искажений нулевых и единичных разрядов. $S(m, k)$ -кодом не обнаруживаются все 100% симметричных ошибок, число которых определяется по формуле [41]:

* Под ошибкой на выходах логического устройства (или в информационном векторе) понимается несоответствие между значениями, сформированными на выходах логического устройства (или в информационном векторе), и эталонными значениями, вычисляемыми при штатной работе логического устройства.

$$N = \sum_{p \in Q} 2C_p^2 = \sum_{p \in Q} p(p-1), \quad (1)$$

где $Q = \{C_m^1, C_m^2, \dots, C_m^{m-1}\}$.

Существует еще один вид ошибок в информационных векторах, который обнаруживается $S(m, k)$ -кодом, – *асимметричные ошибки*, возникающие при неодинаковом количестве искажаемых нулевых и единичных разрядов.

Свойство $S(m, k)$ -кодов обнаруживать любые монотонные ошибки используется при построении логических устройств со 100%-м обнаружением одиночных неисправностей, что на практике оказывается эффективнее дублирования.

Известные алгоритмы построения контролепригодных систем автоматики и вычислительной техники не учитывают особенности кодов Бергера по обнаружению асимметричных ошибок. Учет возможности 100%-го обнаружения асимметричных ошибок $S(m, k)$ -кодами позволит снизить аппаратную избыточность, вносимую в схему при преобразовании. Другим подходом к снижению данного показателя является разработка модифицированных кодов с суммированием с уменьшенным количеством симметричных необнаруживаемых ошибок.

Для кодов Бергера доля необнаруживаемых симметричных ошибок кратности d в информационных векторах от общего числа ошибок в информационных векторах той же кратности является постоянной величиной при любом значении m [42–45]:

$$\beta_d = 2^{-d} C_d^2. \quad (2)$$

Из выражения (2), например, следует, что $S(m, k)$ -коды при любом значении m не обнаруживают 50% двукратных и 37,5% четырехкратных искажений в информационных векторах.

Уменьшить число симметричных ошибок можно за счет следующего способа модификации [41, 46].

Алгоритм 1. Правила построения модифицированных кодов Бергера.

1. Выбирается и фиксируется модуль $M = 2^{\lceil \log_2(m+1) \rceil - 1}$.
2. Подсчитывается вес информационного вектора r .
3. Число r представляется по модулю M (другими словами, определяется вычет числа r по заданному модулю): $V = (r) \bmod M$.
4. Определяется поправочный коэффициент α , равный сумме по модулю два t установленных информационных разрядов.
5. Формируется число $W = V + \alpha M$.
6. Полученное число W представляется в двоичном виде и записывается в контрольный вектор.

Обозначим коды с суммированием, полученные по алгоритму 1, как $RS(m, k)$ -коды.

Применение алгоритма 1 иллюстрируется в табл. 1 на примере получения некоторых векторов $RS(6, 3)$ -кода с формулой вычисления поправочного коэффициента $\alpha = x_1 \oplus x_2$.

Таблица 1. Некоторые векторы рассматриваемого $RS(6, 3)$ -кода

Информационные разряды						r	V	α	W	Контрольные разряды		
x_1	x_2	x_3	x_4	x_5	x_6					y_1	y_2	y_3
0	0	1	0	0	0	1	1	0	1	0	0	1
0	1	1	1	1	1	5	1	1	5	0	1	1
0	1	0	0	0	0	1	1	1	5	1	0	1
0	1	0	1	0	1	3	3	1	7	1	1	1
1	0	1	1	1	1	5	1	1	5	1	0	1
1	1	0	1	1	1	5	1	0	1	0	0	1

Из табл. 1 следует, что информационные векторы $\langle 101111 \rangle$ и $\langle 110111 \rangle$, переход между которыми возможен только при возникновении симметричной ошибки кратности $d = 2$, имеют разные контрольные векторы и соответственно такая ошибка в $RS(6, 3)$ -коде будет обнаруживаться. Однако переходы между векторами $\langle 011111 \rangle$ и $\langle 010000 \rangle$, возникающие при монотонных искажениях кратности $d = 4$, и переходы между векторами $\langle 010000 \rangle$ и $\langle 101111 \rangle$, возникающие при асимметричных искажениях кратности $d = 6$, обнаруживаться не будут. Всем этим векторам соответствуют одинаковые контрольные векторы. Таким образом, уменьшение числа симметричных ошибок в модифицированных кодах Бергера достигается за счет появления монотонных и асимметричных ошибок. Из анализа свойств $RS(m, k)$ -кодов по обнаружению различных видов ошибок следует, что данный класс кодов применим для построения систем со 100%-м обнаружением одиночных ошибок с некоторыми ограничениями. Один из примеров приложения $RS(m, k)$ -кодов для синтеза контролепригодных систем рассмотрен в [47].

Число необнаруживаемых ошибок в $RS(m, k)$ -кодах может быть определено по формуле:

$$N = \sum_{V=0}^{2^k-1} N_V = \sum_{V=0}^{2^k-1} \left(\sum_{r_1, r_2 \in V} C_t^{r_1} C_{m-t}^{r_2} \left(\sum_{r_1, r_2 \in V} C_t^{r_1} C_{m-t}^{r_2} - 1 \right) \right), \quad (3)$$

где m – общая длина информационного вектора; t – длина вектора, по которому определяется поправочный коэффициент α ; r_1 и r_2 – коэффициенты: $r_1 \in [0, 1, \dots, t]$,

а $r_2 \in [0, 1, \dots, m - t]$; V – номер контрольной группы информационных векторов; N_V – номер контрольной группы информационных векторов.

Формула (3) получена на основе анализа контрольных групп (групп контрольных векторов), на которые распределяются все информационные векторы. Вывод формулы, ввиду его громоздкости, здесь не приводится. Можно показать, что формула (1) является частным случаем формулы (3), а число необнаруживаемых ошибок в $RS(m, k)$ -кодах меньше числа необнаруживаемых ошибок в $S(m, k)$ -кодах при одинаковых значениях m .

В некоторых частных случаях для контроля логических устройств удобно использовать коды с постоянным числом разрядов в контрольных векторах, что достигается за счет фиксации модуля $M = 2^{\lceil \log_2(m+1) \rceil - i}$, $i \in \{1, 2, \dots, \lceil \log_2(m+1) \rceil - 1\}$. Назовем такие коды модульными и обозначим как $SM(m, k)$ -коды. В них при образовании контрольных векторов определяется вычет числа r по модулю M и значение остатка представляется в двоичном виде в разрядах контрольного вектора [48–54].

$SM(m, k)$ -коды обнаруживают меньшее количество ошибок в информационных векторах, чем $S(m, k)$ -коды. Множество необнаруживаемых ошибок в них содержит все симметричные ошибки, все монотонные ошибки кратности $d = M, 2M, \dots, jM$ ($jM \leq m$) и некоторое количество асимметричных ошибок кратностей $d > M$. Пользуясь алгоритмом 1, можно построить несколько классов модульно модифицированных кодов с суммированием [55–58]. Для этого в п. 1 алгоритма 1 необходимо расширить множество значений модулей до $M = 2^j$, $j \in \{1, 2, \dots, \lceil \log_2(m+1) \rceil - 2\}$. Данные коды обозначим как $RSM(m, k)$ -коды.

3 Свойства кодов с суммированием по обнаружению различных видов ошибок в информационных векторах кодовых слов

В [41, 55–58] рассмотрены свойства $RSM(m, k)$ -кодов по обнаружению ошибок в информационных векторах без разделения их на различные виды. Для модифицированных и модульно модифицированных кодов установлено, что в общем случае, когда формируются все 2^m возможных информационных вектора, свойства кодов по обнаружению ошибок в информационных векторах зависят только от количества информационных разрядов, суммируемых в поправочном коэффициенте α по модулю два, а не от того, какие именно это разряды. Число информационных разрядов в коэффициенте α обозначим как t и внесем этот параметр в обозначение кода – обозначим модифицированные и модульно модифицированные как $RS(m, k, t)$ и $RSM(m, k, t)$ коды соответственно.

В табл. 2 для примера показано распределение необнаруживаемых ошибок в классических, модульных, модифицированных и модульно модифицирован-

ных кодах с суммированием без разделения их на различные виды, а в табл. 3 – с разделением по виду необнаруживаемых ошибок. Таблица 3 дополняется таблицей 4, где приведены процентные соотношения между количеством необнаруживаемых ошибок и их общим числом для каждого вида ошибок в информационных векторах.

Таблица 2. Распределение необнаруживаемых ошибок в кодах с суммированием при $m = 8$

Код	Необнаруживаемые ошибки кратности d				
	2	4	6	8	2–8
$S(8,4)$	3584	6720	2240	70	12 614
$S8(8,3)$	3584	6720	2240	72	12 616
$S4(8,2)$	3584	8960	3584	128	16 256
$S2(8,1)$	7168	17 920	7168	256	32 512
$RS(8,4,1)$	2688	3360	560	0	6608
$RS(8,4,2)$	2048	2880	1280	72	6280
$RS(8,4,3)$	1664	3360	1200	0	6224
$RS(8,4,4)$	1536	3648	960	72	6216
$RS4(8,3,1)$	2688	4480	896	0	8064
$RS4(8,3,2)$	2048	3840	2048	128	8064
$RS4(8,3,3)$	1664	4480	1920	0	8064
$RS4(8,3,4)$	1536	4864	1536	128	8064
$RS2(8,2,1)$	5376	8960	1792	0	16 128
$RS2(8,2,2)$	4096	7680	4096	256	16 128
$RS2(8,2,3)$	3328	8960	3840	0	16 128
$RS2(8,2,4)$	3072	9728	3072	256	16 128

Анализ таблиц, аналогичных табл. 2–4, для кодов с суммированием с различной длиной информационных векторов позволил установить ряд особенностей рассматриваемых классов кодов по обнаружению ошибок в информационных векторах. Учет данных особенностей на практике позволяет обоснованно выбирать наилучший вариант кодирования при организации систем функционального контроля.

Свойства $S(m, k)$ -кодов и $SM(m, k)$ -кодов по обнаружению ошибок в информационных векторах:

1. Все классы кодов с суммированием обнаруживают любые ошибки нечетных кратностей в информационных векторах.

2. $S(m, k)$ - и $SM(m, k)$ -коды не обнаруживают одинаковое число симметричных ошибок одинаковых четных кратностей d .

3. В $S(m, k)$ - и $SM(m, k)$ -кодах доля необнаруживаемых ошибок в информационных векторах четной кратности d от общего числа ошибок в информационных векторах данной кратности не зависит от длины информационного вектора и является постоянной величиной.

4. $SM(m, k)$ -коды не обнаруживают все 100% монотонных искажений в информационных векторах кратности $d = M, 2M, \dots, jM (jM \leq m)$.

5. В $SM(m, k)$ -кодах доля необнаруживаемых асимметричных ошибок четной кратности $d > M$ от общего числа ошибок данной кратности не зависит от длины информационного вектора и является постоянной величиной.

6. $S2(m, k)$ -коды не обнаруживают все 100% асимметричных искажений четной кратности $d > M$ от общего числа ошибок данной кратности при любом значении m .

Таблица 3. Распределение необнаруживаемых ошибок различных видов в кодах с суммированием при $m = 8$

Код	Симметричные необнаруживаемые ошибки кратности d					Монотонные необнаруживаемые ошибки кратности d					Асимметричные необнаруживаемые ошибки кратности d				
	2	4	6	8	2–8	2	4	6	8	2–8	2	4	6	8	2–8
$S(8,4)$	3584	6720	2240	70	12614	0	0	0	0	0	0	0	0	0	0
$S8(8,3)$	3584	6720	2240	70	12614	0	0	0	2	2	0	0	0	0	0
$S4(8,2)$	3584	6720	2240	70	12614	0	2240	0	2	2242	0	0	1344	56	1400
$S2(8,1)$	3584	6720	2240	70	12614	3584	2240	224	2	6050	0	8960	4704	184	13848
$RS(8,4,1)$	2688	3360	560	0	6608	0	0	0	0	0	0	0	0	0	0
$RS(8,4,2)$	2048	2880	1280	70	6278	0	0	0	2	2	0	0	0	0	0
$RS(8,4,3)$	1664	3360	1200	0	6224	0	0	0	0	0	0	0	0	0	0
$RS(8,4,4)$	1536	3648	960	70	6214	0	0	0	2	2	0	0	0	0	0
$RS4(8,3,1)$	2688	3360	560	0	6608	0	1120	0	0	1120	0	0	336	0	336
$RS4(8,3,2)$	2048	2880	1280	70	6278	0	960	0	2	962	0	0	768	56	824
$RS4(8,3,3)$	1664	3360	1200	0	6224	0	1120	0	0	1120	0	0	720	0	720
$RS4(8,3,4)$	1536	3648	960	70	6214	0	1216	0	2	1218	0	0	576	56	632
$RS2(8,2,1)$	2688	3360	560	0	6608	2688	1120	56	0	3864	0	4480	1176	0	5656
$RS2(8,2,2)$	2048	2880	1280	70	6278	2048	960	128	2	3138	0	3840	2688	184	6712
$RS2(8,2,3)$	1664	3360	1200	0	6224	1664	1120	120	0	2904	0	4480	2520	0	7000
$RS2(8,2,4)$	1536	3648	960	70	6214	1536	1216	96	2	2850	0	4864	2016	184	7064

Таблица 4. Процентные соотношения числа необнаруживаемых ошибок от общего их количества по различным видам ошибок в кодах с суммированием при $m = 8$

Код	Симметричные необнаруживаемые ошибки кратности d , %					Монотонные необнаруживаемые ошибки кратности d , %					Асимметричные необнаруживаемые ошибки кратности d , %				
	2	4	6	8	2-8	2	4	6	8	2-8	2	4	6	8	2-8
S(8,4)	100	100	100	100	100	0	0	0	0	0	0	0	0	0	0
S8(8,3)	100	100	100	100	100	0	0	0	100	0,016	0	0	0	0	0
S4(8,2)	100	100	100	100	100	0	100	0	100	17,78	0	0	28,571	30,435	3,495
S2(8,1)	100	100	100	100	100	100	100	100	100	47,978	0	100	100	100	34,572
RS(8,4,1)	75	50	25	0	52,386	0	0	0	0	0	0	0	0	0	0
RS(8,4,2)	57,143	42,857	57,143	100	49,77	0	0	0	100	0,016	0	0	0	0	0
RS(8,4,3)	46,429	50	53,571	0	49,342	0	0	0	0	0	0	0	0	0	0
RS(8,4,4)	42,857	54,286	42,857	100	49,263	0	0	0	100	0,016	0	0	0	0	0
RS4(8,3,1)	75	50	25	0	52,386	0	50	0	0	8,882	0	0	7,143	0	0,839
RS4(8,3,2)	57,143	42,857	57,143	100	49,77	0	42,857	0	100	7,629	0	0	16,327	30,435	2,057
RS4(8,3,3)	46,429	50	53,571	0	49,342	0	50	0	0	8,882	0	0	15,306	0	1,797
RS4(8,3,4)	42,857	54,286	42,857	100	49,263	0	54,286	0	100	9,659	0	0	12,245	30,435	1,578
RS2(8,2,1)	75	50	25	0	52,386	75	50	25	0	30,642	0	50	25	0	14,12
RS2(8,2,2)	57,143	42,857	57,143	100	49,77	57,143	42,857	57,143	100	24,885	0	42,857	57,143	100	16,757
RS2(8,2,3)	46,429	50	53,571	0	49,342	46,429	50	53,571	0	23,029	0	50	53,571	0	17,476
RS2(8,2,4)	42,857	54,286	42,857	100	49,263	42,857	54,286	42,857	100	22,601	0	54,286	42,857	100	17,635

7. Доля необнаруживаемых ошибок в информационных векторах $SM(m, k)$ -кодов четной кратности d от общего числа ошибок в информационных векторах данной кратности не зависит от длины информационного вектора и является постоянной величиной.

Свойства $RS(m, k)$ -кодов и $RSM(m, k)$ -кодов по обнаружению ошибок в информационных векторах:

1. При данной длине информационного вектора $RS(m, k, t)$ - и $RSM(m, k, t)$ -коды имеют одинаковое количество необнаруживаемых симметричных ошибок четной кратности d при одинаковых значениях t .

2. Минимум необнаруживаемых двукратных симметричных ошибок имеет $RSM(m, k, t)$ -код с $t = \left\lfloor \frac{m}{2} \right\rfloor$.

3. $RS(m, k, t)$ - и $RSM(m, k, t)$ -коды с четными значениями m при четных значениях t имеют одинаковое число необнаруживаемых симметричных ошибок максимальной кратности $d = m$, причем оно равно числу необнаруживаемых ошибок той же кратности в коде Бергера.

4. При нечетных значениях t $RS(m, k, t)$ - и $RSM(m, k, t)$ -коды с четными значениями m обнаруживают любые симметричные ошибки максимальной кратности.

5. $RS(m, k, t)$ - и $RSM(m, k, t)$ -коды не обнаруживают только те монотонные ошибки в информационных векторах, которые имеют кратность $d = M, 2M, \dots, jM (jM \leq m)$.

6. При данной длине информационного вектора $RS(m, k, t)$ - и $RSM(m, k, t)$ -коды имеют одинаковое количество необнаруживаемых монотонных ошибок четной кратности d при одинаковых значениях t .

7. При заданной длине информационного вектора отношение числа необнаруживаемых ошибок в $RSM(m, k, t_1)$ -коде к аналогичному показателю в $RSM(m, k, t_2)$ -коде одинаково для любых классов ошибок (симметричных, монотонных и асимметричных).

8. $RS(m, k, t)$ - и $RSM(m, k)$ -коды с четными значениями m при четных значениях t имеют одинаковое число необнаруживаемых асимметричных ошибок максимальной кратности $d = m$, причем оно равно числу необнаруживаемых ошибок той же кратности в $SM(m, k)$ -коде при данном значении M .

9. При нечетных значениях t $RS(m, k, t)$ - и $RSM(m, k)$ -коды с четными значениями m обнаруживают любые асимметричные ошибки максимальной кратности.

10. Значение доли монотонных необнаруживаемых ошибок кратности d от общего числа необнаруживаемых ошибок той же кратности при $d = M, 2M, \dots, jM (jM \leq m)$ для любого $RS(m, k, t)$ - и $RSM(m, k)$ -кода является постоянной величиной и не зависит от значения t .

11. $RS(m, k, t)$ -, $RSM(m, k, t)$ - и $SM(m, k)$ -коды обнаруживают все асимметричные ошибки в информационных векторах при $d \leq M$.

12. $RS(m, k, t)$ -, $RSM(m, k, t)$ - и $SM(m, k)$ -коды не имеют необнаруживаемых асимметричных ошибок кратностей $d = 1, 2, 3$.

13. $RS4(m, k, t)$ -коды обнаруживают вдвое больше ошибок в информационных векторах кратности $d = 2$, чем $RS2(m, k, t)$ -коды при данных значениях m и t .

14. $RS2(m, k, t)$ -коды при данных значениях m и t не обнаруживают одинаковое число симметричных и монотонных ошибок в информационных векторах.

4 Экспериментальные результаты

Для определения практической эффективности кодов с суммированием были проведены эксперименты с системой контрольных схем *LGSynth`89* [59–61]. Контрольные схемы данной системы представляют собой файлы в формате *.*netblif*, описывающие структуру определенной комбинационной схемы в виде *net*-листа. Каждая контрольная схема записана в базисе *nor* (ИЛИ-НЕ). При постановке экспериментов ставилась задача моделирования одиночных константных неисправностей $0 \rightarrow 1$ и $1 \rightarrow 0$ на выходах всех логических элементов во внутренней структуре контрольных схем и определение числа необнаруживаемых ошибок $SM(m, k)$ и $RSM(m, k)$ -кодами (табл. 5–7). Для $RS(m, k, t)$ - и $RSM(m, k, t)$ -кодов в табл. 5–7 указаны средние значения, так как для любой контрольной схемы при заданном значении M число вариантов кодирования равно числу сочетаний вариантов подсчета поправочного коэффициента $\alpha - \sum_{i=1}^{m-1} C_m^i = 2^m - 2$. Далее обозначение t опущено, так как говорится о среднем числе необнаруживаемых ошибок для модифицированных и модульно модифицированных кодов с данными m и k .

Для каждой контрольной схемы в таблице указаны: I/O – число входов/выходов, N_m – число необнаруживаемых ошибок указанным кодом, N – общее количество возникающих ошибок на выходе контрольного примера, процент необнаруживаемых ошибок (величина $\frac{N_m}{N}$), а также процент необнаруживаемых ошибок в сравнении с кодом Бергера ($\frac{N_m}{N_{m,S(m,k)}}$). Практически для всех

контрольных схем код Бергера не является самым эффективным кодом при организации контроля. Так, например, $RS8(8, 4)$ -код в структуре схемы *alu4* обнаруживает в 1,784 раза больше ошибок, чем $S16(8, 4)$ -код – код Бергера, а в схеме *sct* использование $RS8(15, 4)$ -кода взамен $S16(15, 4)$ -кода дает выигрыш в 1,822 раза. Для приведенных в табл. 5 контрольных схем модифицированный код Бергера в среднем в 1,374 раза эффективнее кода Бергера (70,8% необнаруживаемых ошибок от числа необнаруживаемых ошибок кодом Бергера). Этот результат был бы выше, если бы в расчет не бралась схема *cm163a*,

ошибки в которой эффективнее всего контролировать кодом Бергера – 1,707 раза (58,6% необнаруживаемых ошибок от числа необнаруживаемых ошибок кодом Бергера).

Таблица 5. Обнаруживающие способности кодов с суммированием

Контрольный пример	I/O	Код	N_m	N	$\frac{N_m}{N}, \%$	$\frac{N_m}{N_{m,S(m,k)}}$
cmb	16/4	S8 (4,3)	6	288218	0,002	100
		S4 (4,2)	6		0,002	100
		S2 (4,1)	39462		13,692	657700
		RS4 (4,3)	4		0,001	66,667
		RS2 (4,2)	17693		6,139	294883,333
cm163a	16/5	S8 (5,3)	10368	1221312	0,849	100
		S4 (5,2)	30112		2,466	290,432
		S2 (5,1)	134176		10,986	1294,136
		RS4 (5,3)	16401		1,343	158,189
		RS2 (5,2)	76091		6,23	733,902
alu2	10/6	S8 (6,3)	7672	61988	12,377	100
		S4 (6,2)	7814		12,606	101,851
		S2 (6,1)	12118		19,549	157,951
		RS4 (6,3)	4369		7,048	56,947
		RS2 (6,2)	6752		10,892	88,008
alu4	14/8	S16 (8,4)	186142	1966881	9,464	100
		S8 (8,3)	186142		9,464	100
		S4 (8,2)	213859		10,873	114,89
		S2 (8,1)	340871		17,331	183,124
		RS8 (8,4)	104326		5,304	56,046
		RS4 (8,3)	118531		6,026	63,678
		RS2 (8,2)	187528		9,534	100,746
plce	19/9	S16 (9,4)	188416	17472087	1,078	100
		S8 (9,3)	192777		1,103	102,315
		S4 (9,2)	549718		3,146	291,758
		S2 (9,1)	528796		3,027	280,653
		RS8 (9,4)	104935		0,601	55,693
		RS4 (9,3)	336393		1,925	178,537
		RS2 (9,2)	318307		1,822	168,938

Окончание табл. 5

Контрольный пример	I/O	Код	N_m	N	$\frac{N_m}{N}, \%$	$\frac{N_m}{N_{m,S(m,k)}}$
cu	14/11	S16 (11,4)	34048	137984	24,675	100
		S8 (11,3)	34048		24,675	100
		S4 (11,2)	34048		24,675	100
		S2 (11,1)	34048		24,675	100
		RS8 (11,4)	20840		15,103	61,208
		RS4 (11,3)	20840		15,103	61,208
		RS2 (11,2)	37840		27,423	111,137
set	14/15	S16 (15,4)	4434	448458	0,989	100
		S8 (15,3)	4434		0,989	100
		S4 (15,2)	5056		1,127	114,028
		S2 (15,1)	7346		1,638	165,674
		RS8 (15,4)	2433		0,543	54,871
		RS4 (15,3)	2815		0,628	63,487
		RS2 (15,2)	10419		2,323	234,98

Таблица 6. Количество необнаруживаемых ошибок на выходах $alu4$

Код	Необнаруживаемые ошибки по кратностям d						Общее количество необнаруживаемых ошибок
	1	2	3	4	5	6	
Симметричные ошибки							
S16 (8,4)	0	181963	0	4177	0	2	186142
S8 (8,3)	0	181963	0	4177	0	2	186142
S4 (8,2)	0	181963	0	4177	0	2	186142
S2 (8,1)	0	181963	0	4177	0	2	186142
RS8 (8,4)	0	102197	0	2128	0	1	104326
RS4 (8,3)	0	101942	0	2103	0	1	104046
RS2 (8,2)	0	101235	0	2123	0	1	103359
Всего	0	181963	0	4177	0	2	186142
Монотонные ошибки							
S16 (8,4)	0	0	0	0	0	0	0
S8 (8,3)	0	0	0	0	0	0	0
S4 (8,2)	0	0	0	27551	0	0	27551
S2 (8,1)	0	117598	0	0	0	0	117598

Окончание табл. 6

Код	Необнаруживаемые ошибки по кратностям d						Общее количество необнаруживаемых ошибок
	1	2	3	4	5	6	
RS8 (8,4)	0	0	0	0	0	0	0
RS4 (8,3)	0	0	0	14392	0	0	14392
RS2 (8,2)	0	64886	0	0	0	0	64886
Всего	1426687	117598	62547	27551	6206	0	1640589
Асимметричные ошибки							
S16 (8,4)	0	0	0	0	0	0	0
S8 (8,3)	0	0	0	0	0	0	0
S4 (8,2)	0	0	0	0	0	166	166
S2 (8,1)	0	0	0	37095	0	36	37131
RS8 (8,4)	0	0	0	0	0	0	0
RS4 (8,3)	0	0	0	0	0	94	94
RS2 (8,2)	0	0	0	19264	0	22	19286
Всего	0	0	89057	37095	13796	202	140150
Общее количество ошибок							
S16 (8,4)	0	181963	0	4177	0	2	186142
S8 (8,3)	0	181963	0	4177	0	2	186142
S4 (8,2)	0	181963	0	31728	0	168	213859
S2 (8,1)	0	299561	0	41272	0	38	340871
RS8 (8,4)	0	102197	0	2128	0	1	104326
RS4 (8,3)	0	101942	0	16495	0	95	118532
RS2 (8,2)	0	166121	0	21387	0	23	187531
Всего	1426687	299561	151604	68823	20002	204	1966881

Таблица 7. Процент необнаруживаемых ошибок на выходах $alu4$

Код	Необнаруживаемые ошибки по кратностям d						Общее количество необнаруживаемых ошибок
	1	2	3	4	5	6	
Симметричные ошибки							
S16 (8,4)	–	100	–	100	–	100	100
S8 (8,3)	–	100	–	100	–	100	100
S4 (8,2)	–	100	–	100	–	100	100
S2 (8,1)	–	100	–	100	–	100	100

Окончание табл. 7

Код	Необнаруживаемые ошибки по кратностям d						Общее количество необнаруживаемых ошибок
	1	2	3	4	5	6	
RS8 (8,4)	–	56,16	–	50,95	–	50	56,05
RS4 (8,3)	–	56,02	–	50,35	–	50	55,9
RS2 (8,2)	–	55,63	–	50,83	–	50	55,53
Монотонные ошибки							
S16 (8,4)	0	0	0	0	0	–	0
S8 (8,3)	0	0	0	0	0	–	0
S4 (8,2)	0	0	0	100	0	–	1,68
S2 (8,1)	0	100	0	0	0	–	7,17
RS8 (8,4)	0	0	0	0	0	–	0
RS4 (8,3)	0	0	0	52,24	0	–	0,88
RS2 (8,2)	0	55,18	0	0	0	–	3,96
Асимметричные ошибки							
S16 (8,4)	–	–	0	0	0	0	0
S8 (8,3)	–	–	0	0	0	0	0
S4 (8,2)	–	–	0	0	0	82,18	0,12
S2 (8,1)	–	–	0	100	0	17,82	26,49
RS8 (8,4)	–	–	0	0	0	0	0
RS4 (8,3)	–	–	0	0	0	46,53	0,07
RS2 (8,2)	–	–	0	51,93	0	10,89	13,76
Общее количество ошибок							
S16 (8,4)	0	60,74	0	6,07	0	0,98	9,46
S8 (8,3)	0	60,74	0	6,07	0	0,98	9,46
S4 (8,2)	0	60,74	0	46,1	0	82,35	10,87
S2 (8,1)	0	100	0	59,97	0	18,63	17,33
RS8 (8,4)	0	34,12	0	3,09	0	0,49	5,3
RS4 (8,3)	0	34,03	0	23,97	0	46,57	6,03
RS2 (8,2)	0	55,45	0	31,08	0	11,27	9,53

Таким образом, применение $RS(m, k)$ -кодов дает значительное повышение числа обнаруживаемых ошибок на выходах логических элементов контролируемых комбинационных схем в сравнении с применением $S(m, k)$ -кодов. В сравнении с $SM(m, k)$ -кодами этот эффект еще выше.

Кроме экспериментов по определению свойств по обнаружению любых видов ошибок, для каждого контрольного примера было определено, сколько и каких видов ошибок не обнаруживается тем или иным вариантом кодирования. Например, для контрольной схемы *alu4* результаты моделирования представлены в табл. 6 и 7. Похожие результаты получаются и для других контрольных схем.

$RS(m, k)$ -коды почти вдвое эффективнее обнаруживают симметричные ошибки на выходах логических устройств. Однако $RS(m, k)$ -коды хуже, чем классические коды Бергера, обнаруживают монотонные и симметричные ошибки: ими не обнаруживается некоторый процент монотонных и асимметричных ошибок. Эти особенности $RS(m, k)$ -кодов следует учитывать при организации контроля комбинационных схем со 100%-м обнаружением одиночных неисправностей на выходах логических элементов во внутренней структуре.

Заключение

При построении СЖАТ на основе программируемых логических интегральных схем для достижения высокого уровня надежности и безопасности целесообразно, помимо резервирования блоков и узлов, использовать и средства функционального контроля. В данной работе показаны особенности кодов с суммированием единичных разрядов по обнаружению различных видов ошибок в информационных векторах. Они могут быть эффективно использованы при организации систем функционального контроля логических устройств со 100%-м обнаружением одиночных неисправностей. Учет свойств кодов по обнаружению ошибок различных видов в информационных векторах позволит уточнить известные и сформулировать новые алгоритмы преобразования логических схем в схемы с контролепригодными структурами. Новые логические устройства будут иметь меньшую сложность и ряд других параметров, таких, например, как уменьшенное энергопотребление. Эти и другие вопросы, однако, требуют более детального рассмотрения в последующих исследованиях.

Библиографический список

1. Станционные системы автоматики и телемеханики : учеб. для вузов ж.-д. транспорта / Вл. В. Сапожников, Б. Н. Елкин, И. М. Кокурин и др. ; под ред. Вл. В. Сапожникова. – Москва : Транспорт, 1997. – 432 с.
2. Никитин А. Б. Тенденции развития электрической централизации и компьютерных систем оперативного управления движением поездов на станциях / А. Б. Никитин, С. В. Бушуев // Транспорт Урала. – 2006. – № 2. – С. 14–18.
3. Микропроцессорные системы централизации : учебник для техникумов и колледжей железнодорожного транспорта / Вл. В. Сапожников, В. А. Кононов, С. А. Ку-

- ренков, А. А. Лыков, О. А. Наседкин, А. Б. Никитин, А. А. Прокофьев, М. С. Трясов ; под ред. Вл. В. Сапожникова. – Москва : ГОУ «Учебно-методический центр по образованию на железнодорожном транспорте», 2008. – 398 с.
4. Theeg G., Vlasenko S. Railway Signalling & Interlocking – International Compendium, Eurailpress, 2009, 448 p.
 5. Корниенко А. А. Интеллектуальные компьютерные системы оперативного управления движением поездов на станциях / А. А. Корниенко, А. Б. Никитин, А. Д. Хомоненко // Известия Петербургского университета путей сообщения. – 2012. – № 2. – С. 116–119.
 6. Кононов В. А. Основы проектирования электрической централизации промежуточных станций : учеб. пособие / В. А. Кононов, А. А. Лыков, А. Б. Никитин. – Москва : ФГБОУ «Учебно-методический центр по образованию на железнодорожном транспорте», 2013. – 348 с.
 7. Анализ состояния безопасности движения поездов, надежности работы систем и устройств ЖАТ в хозяйстве автоматики и телемеханики в 2013 году / ОАО «Российские железные дороги», Управление автоматики и телемеханики Центральной дирекции инфраструктуры. – Москва, 2014. – 174 с.
 8. Сапожников В. В. Теоретические основы железнодорожной автоматики и телемеханики : учебник для вузов ж.-д. транспорта / Вал. В. Сапожников, Ю. А. Кравцов, Вл. В. Сапожников ; под. ред. Вал. В. Сапожникова. – Москва : ГОУ «Учебно-методический центр по образованию на железнодорожном транспорте», 2008. – 394 с.
 9. Гавзов Д. В. Методы обеспечения безопасности дискретных систем / Д. В. Гавзов, Вал. В. Сапожников, Вл. В. Сапожников // Автоматика и телемеханика. – 1994. – № 8. – С. 3–50.
 10. Лисенков В. М. Статистическая теория безопасности движения поездов / В. М. Лисенков. – Москва : ВИНТИ РАН, 1999. – 322 с.
 11. Лисенков В. М. Цели, принципы и методы технического регулирования на железнодорожном транспорте / В. М. Лисенков // Транспорт Российской Федерации. – 2009. – № 5. – С. 42–45.
 12. Lach J., Mangione-Smith W. H., Potkonjak M. Low Overhead Fault-Tolerant FPGA Systems, IEEE Transactions on Very Scale Integration (VLSI) Systems, 1998, vol. 6, issue 2, pp. 212–221.
 13. Уваров С. С. Проектирование реконфигурируемых отказоустойчивых систем на плиз с резервированием на уровне ячеек / С. С. Уваров // Автоматика и телемеханика. – 2007. – № 9. – С. 176–189.
 14. Navabi Z. Digital System Test and Testable Design: Using HDL Models and Architectures, Springer Science+Business Media, LLC 2011, 435 p.
 15. Ubar R., Raik J., Vierhaus H.-T. Design and Test Technology for Dependable Systems-on-Chip (Premier Reference Source), Information Science Reference, Hershey, N. Y., IGI Global, 2011, 578 p.
 16. Chandra V., Verma M. R. A Fail-Safe Interlocking System for Railways, IEEE Design & Test of Computers, 1991, vol. 8, issue 1, pp. 58–66.
 17. Chandra V., Kumar K. V. Reliability and Safety Analysis of Fault Tolerant and Fail-Safe Node for Use in Railway Signalling System, Elsevier Journal on Reliability Engineering and system, 1997, vol. 57, issue 2, pp. 177–183.

18. Dobiáš R., Kubátová H. FPGA Based Design of Railway's Interlocking Equipment, Proceedings of EUROMICRO Symposium on Digital System Design, 2004, pp. 467–473.
19. Kubalík P., Fišer P., Kubátová H. Fault Tolerant System Design Method Based on Self-Checking Circuits, Proceeding of 12th International On-Line Testing Symposium 2006 (IOLTS'06), Lake of Como, Italy, pp.185–186.
20. Salewsky F., Taylor A. Fault Handling in FPGAs and Microcontrollers in Safety-Critical Embedded Applications: A Comparative Survey. Proceedings of 10th Euromicro Conference on Digital System Design Architectures, Methods and Tools (DSD'2007), 2007, pp. 124–131.
21. Dobiáš R., Konarski J., Kubátová H. Dependability Evaluation of Real Railway Interlocking Device, Proceedings of 11th Euromicro Conference on Digital System Design. Los Alamitos, IEEE Computer Society, 2008, pp. 228–233.
22. Sasaki E., Hondo S., Ebuchi T. SAINT Integrated Signaling System with High Reliability and Safety, Hitachi Review, 2008, vol. 57, issue 1, pp. 41–45.
23. Chakraborty A. Fault Tolerant Fail Safe System for Railway Signalling, Proceedings of the World Congress on Engineering and Computer Science (WCECS 2009), USA San Francisco, vol. II, October 20–22, 2009.
24. Кабецкий А. Г. Методы и инструментальные средства построения логических устройств электрической централизации на базе программируемых логических интегральных схем / А. Г. Кабецкий, Д. С. Марков // Известия Петербургского университета путей сообщения. – 2010. – № 2. – С. 168–173.
25. Yildirim U., Durmuş M. S., Söylemez M. T. Fail-Safe Signalization and Interlocking Design for a Railway Yard: An Automation Petri Net Approach, Proceedings of 7th International Symposium on Intelligent and Manufacturing Systems (IMS 2010), Sarajevo, Bosnia Herzegovina, September 15–17, 2010, pp. 461–470.
26. Пархоменко П. П. Основы технической диагностики (оптимизация алгоритмов диагностирования, аппаратные средства) / П. П. Пархоменко, Е. С. Согомоян. – Москва : Энергоатомиздат, 1981. – 320 с.
27. Nicolaidis M., Zorian Y. On-Line Testing for VLSI – A Compendium of Approaches, Journal of Electronic Testing: Theory and Applications, 1998, issue 12, pp. 7–20.
28. Jha N. K. Totally Self-Checking Checker Designs for Bose-Lin, Bose and Blaum Codes. IEEE Trans. Computer-Aided Design, vol. CAD-10, February 1991, pp. 136–143.
29. Touba N. A., McCluskey E. J. Logic Synthesis of Multilevel Circuits with Concurrent Error Detection, IEEE Trans. Computer-Aided Design of Integrated Circuits and System, vol. 16, July 1997, pp. 783–789.
30. Сапожников Вал. В. Основы технической диагностики / Вал. В. Сапожников, Вл. В. Сапожников. – Москва : Маршрут, 2004. – 318 с.
31. Fujiwara E. Code Design for Dependable Systems: Theory and Practical Applications, New Jersey: John Wiley & Sons, 2006, 720 p.
32. Lala P. K. Self-Checking and Fault-Tolerant Digital Design, University of Arkansas, 2001, 216 p.
33. Согомоян Е. С. Самопроверяемые устройства и отказоустойчивые системы / Е. С. Согомоян, Е. В. Слабаков. – Москва : Радио и связь, 1989. – 208 с.
34. Сапожников Вал. В. Самопроверяемые дискретные устройства / Вал. В. Сапожников, Вл. В. Сапожников. – Санкт-Петербург : Энергоатомиздат, 1992. – 224 с.

35. Busaba F. Y., Lala P. K. Self-Checking Combinational Circuit Design for Single and Unidirectional Multibit Errors, *Journal of Electronic Testing: Theory and Applications*, 1994, issue 5, pp. 19–28.
36. Morosow A., Saposhnikov V. V., Saposhnikov V. V., Goessel M. Self-Checking Combinational Circuits with Unidirectionally Independent Outputs, *VLSI Design*, 1998, vol. 5, issue 4, pp. 333–345.
37. Saposhnikov V. V., Morosov A., Saposhnikov V. V., Göessel M. A New Design Method for Self-Checking Unidirectional Combinational Circuits, *Journal of Electronic Testing: Theory and Applications*, 1998, vol. 12, issue 1–2, pp. 41–53.
38. Сапожников Вал. В. Метод построения комбинационных самопроверяемых устройств с обнаружением всех одиночных неисправностей / Вал. В. Сапожников, Вал. В. Сапожников, М. Гессель, А. А. Морозов // *Электронное моделирование*. – 1998. – Т. 20, № 6. – С. 70–80.
39. Matrosova A. Yu., Levin I., Ostanin S. A. Self-Checking Synchronous FSM Network Design with Low Overhead, *VLSI Design*, 2000, vol. 11, issue 1, pp. 47–58.
40. Berger J. M. A Note on Error Detecting Codes for Asymmetric Channels, *Information and Control*, 1961, vol. 4, issue 1, pp. 68–73.
41. Блюдов А. А. Построение модифицированного кода Бергера с минимальным числом необнаруживаемых ошибок информационных разрядов / А. А. Блюдов, Д. В. Ефанов, Вал. В. Сапожников, Вал. В. Сапожников // *Электронное моделирование*. – 2012. – Т. 34, № 6. – С. 17–29.
42. Ефанов Д. В. О свойствах кода с суммированием в схемах функционального контроля / Д. В. Ефанов, Вал. В. Сапожников, Вал. В. Сапожников // *Автоматика и телемеханика*. – 2010. – № 6. – С. 155–162.
43. Сапожников Вал. В. Предельные свойства кода с суммированием / Вал. В. Сапожников, Вал. В. Сапожников, Д. В. Ефанов // *Известия Петербургского университета путей сообщения*. – 2010. – № 3. – С. 290–299.
44. Ефанов Д. В. Применение кода с суммированием в системах технической диагностики и мониторинга устройств железнодорожной автоматики и телемеханики : дис. ... канд. техн. наук / Д. В. Ефанов. – Санкт-Петербург, 2010. – 192 с.
45. Сапожников Вал. В. Применение кодов Бергера и Хэмминга в схемах функционального контроля / Вал. В. Сапожников, Вал. В. Сапожников, Д. В. Ефанов, А. А. Блюдов // *Известия Петербургского университета путей сообщения*. – 2013. – № 2. – С. 168–182.
46. Efanov D., Sapozhnikov V., Sapozhnikov V., Blyudov A. On the Problem of Selection of Code with Summation for Combinational Circuit Test Organization, *Proceedings of 11th IEEE East-West Design & Test Symposium (EWDTS'2013)*, Rostov-on-Don, Russia, September 27–30, 2013, pp. 261–266.
47. Сапожников Вал. В. Об использовании свойств кодов с суммированием по обнаружению монотонных ошибок в системах функционального контроля комбинационных схем / Вал. В. Сапожников, Вал. В. Сапожников, Д. В. Ефанов // *Вестник Томского государственного университета. Управление, вычислительная техника и информатика*. – 2014. – № 3. – С. 76–88.
48. Слабаков Е. В. Самопроверяемые вычислительные устройства и системы (обзор) / Е. В. Слабаков, Е. С. Согомоян // *Автоматика и телемеханика*. – 1981. – № 11. – С. 147–167.

49. Bose B., Lin D.J. Systematic Unidirectional Error-Detection Codes, Proceedings of IEEE Trans. Comput. 1985, vol. C-34, November, pp. 1026–1032.
50. Piestrak S.J. Design of Self-Testing Checkers for Unidirectional Error Detecting Codes, Wrocław: Oficyna Wydawnicza Politechniki Wrocławskiej, 1995, 111 p.
51. Kavousianos X., Nikolos D. Novel TSC Checkers for Bose-Lin and Bose Codes, Proceedings of 3ed IEEE Int. On-Line Testing Workshop, July 6–8, 1998, Capry, Italy, pp. 172–176.
52. Das D., Touba N.A. Synthesis of Circuits with Low-Cost Concurrent Error Detection Based on Bose-Lin Codes, Journal of Electronic Testing: Theory and Applications, 1999, vol. 15, issue 1–2, pp. 145–155.
53. Ghosh S., Basu S., Touba N.A. Synthesis of Low Power CED Circuits Based on Parity Codes, Proceedings of 23rd IEEE VLSI Test Symposium (VTS'05), 2005, pp. 315–320.
54. Blyudov A.A. On the Synthesis of Test Equipment for Modulo Codes with Summation, Proceedings of Petersburg Transport University, 2013, № 1, pp. 53–58.
55. Блюдов А. А. Коды с суммированием для организации контроля комбинационных схем / А. А. Блюдов, Д. В. Ефанов, Вал. В. Сапожников, Вл. В. Сапожников // Автоматика и телемеханика. – 2013. – № 6. – С. 153–164.
56. Efanov D., Sapozhnikov V., Sapozhnikov Vl., Blyudov A. On the Problem of Selection of Code with Summation for Combinational Circuit Test Organization, Proceedings of 11th IEEE East-West Design & Test Symposium (EWDTS'2013), Rostov-on-Don, Russia, September 27–30, 2013, pp. 261–266.
57. Блюдов А. А. Исследование модифицированных кодов с суммированием в системах технической диагностики и обработки информации в устройствах железнодорожной автоматике и телемеханики : дис. ... канд. техн. наук / А. А. Блюдов. – Санкт-Петербург, 2013. – 230 с.
58. Блюдов А. А. О кодах с суммированием единичных разрядов в системах функционального контроля / А. А. Блюдов, Д. В. Ефанов, Вал. В. Сапожников, Вл. В. Сапожников // Автоматика и телемеханика. – 2014. – № 8. – С. 131–145.
59. Yang S. Logic Synthesis and Optimization Benchmarks User guide: Version 3.0, Technical report Microelectronics Center of North Carolina, P. O. Box 12889, Research Triangle Park, NC 27709, January 15, 1991, 44 p.
60. Benchmarks: LGSynth89. – URL : <http://www.cbl.ncsu.edu:16080/benchmarks/LG-Synth89/mlexamples>.
61. Gopalakrishan P., Rutenbar R.A. Direct Transistor-Level Layout for Digital Blocks, Boston, Kluwer Academic Publishers, 2004, 125 p.

Статья представлена к публикации членом редколлегии М. Н. Василенко

Поступила в редакцию 08.12.2014

Контактная информация: TrES-4b@yandex.ru

© Сапожников Вал. В., 2015

© Сапожников Вл. В., 2015

© Ефанов Д. В., 2015